

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/010242

International filing date: 03 June 2005 (03.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-170920
Filing date: 09 June 2004 (09.06.2004)

Date of receipt at the International Bureau: 14 July 2005 (14.07.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 6月 9日

出願番号
Application Number: 特願2004-170920

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

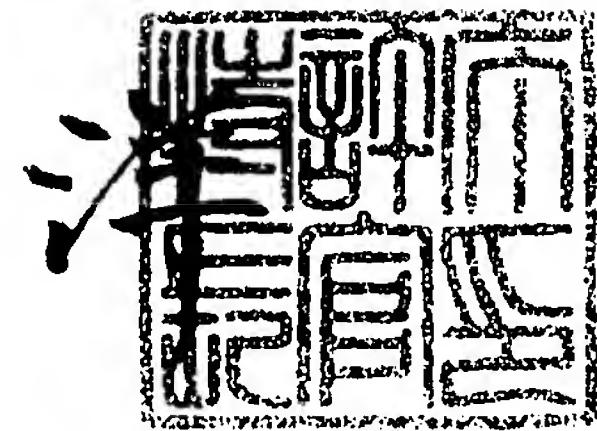
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

出願人
Applicant(s): 株式会社ルネサステクノロジ

2005年 6月 29日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 R00331JP01
【提出日】 平成16年 6月 9日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
【氏名】 森下 玄
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
【氏名】 有本 和民
【特許出願人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明
【選任した代理人】
【識別番号】 100088672
【弁理士】
【氏名又は名称】 吉竹 英俊
【選任した代理人】
【識別番号】 100088845
【弁理士】
【氏名又は名称】 有田 貴弘
【手数料の表示】
【予納台帳番号】 012852
【納付金額】 16,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

行列状に配置された複数のメモリセルと、
第1方向に並ぶ前記複数のメモリセルによって共有されるゲートライン及びワードラインと、
第2方向に並ぶ前記複数のメモリセルによって共有されるピットライン及びソースラインと
を備え、

前記複数のメモリセルのそれぞれは、
第1のチャネル形成領域を挟んで対向する第1及び第2の不純物拡散領域と、前記第1のチャネル形成領域の上方に形成された第1のゲート電極と、前記第1のチャネル形成領域の下方に形成された電荷蓄積ノードとを含むストレージトランジスタと、

前記ストレージトランジスタに直列に接続され、前記第1の不純物拡散領域と、第2のチャネル形成領域を挟んで前記第1の不純物拡散領域に対向する第3の不純物拡散領域と、前記第2のチャネル形成領域の上方に形成された第2のゲート電極とを含むアクセストランジスタと
を有し、

前記第2の不純物拡散領域は前記ソースラインに、前記第3の不純物拡散領域は前記ピットラインに、前記第1のゲート電極は前記ゲートラインに、前記第2のゲート電極は前記ワードラインに、それぞれ接続され、

前記アクセストランジスタのオン／オフによって前記第1の不純物拡散領域の電位を一定電位又はフローティング状態に切り替えることにより、前記電荷蓄積ノードの電位を制御し、それによって前記ストレージトランジスタのしきい値電圧がハイレベル又はロウレベルに設定される、半導体記憶装置。

【請求項 2】

前記アクセストランジスタをオンさせた状態で前記第1のゲート電極の電位をロウレベルからハイレベルに上昇させることによって、前記ストレージトランジスタの前記しきい値電圧がハイレベルに設定され、

前記アクセストランジスタをオフさせた状態で前記第1のゲート電極の電位をロウレベルからハイレベルに上昇させることによって、前記ストレージトランジスタの前記しきい値電圧がロウレベルに設定される、請求項1に記載の半導体記憶装置。

【請求項 3】

半導体基板、絶縁層、及び半導体層がこの順に積層されたSOI基板をさらに備え、
前記第1～第3の不純物拡散領域、並びに前記第1及び第2のチャネル形成領域は、いずれも前記半導体層内に形成されており、

前記電荷蓄積ノードは、前記半導体層の一部として構成される、請求項1又は2に記載の半導体記憶装置。

【請求項 4】

第1導電型の半導体基板、第2導電型の第1のウェル、及び前記第1導電型の第2のウェルがこの順に積層された基板をさらに備え、

前記第1～第3の不純物拡散領域、並びに前記第1及び第2のチャネル形成領域は、いずれも前記第2のウェルの上面内に形成されており、

前記電荷蓄積ノードは、前記第2のウェルの一部として構成される、請求項1又は2に記載の半導体記憶装置。

【請求項 5】

前記ストレージトランジスタの前記しきい値電圧がハイレベルに設定された第1のメモリセルと、
前記第1のメモリセルに接続された第1のリファレンスピットラインと、
前記ストレージトランジスタの前記しきい値電圧がロウレベルに設定された第2のメモリセルと、

前記第2のメモリセルに接続された第2のリファレンスピットラインと、
前記第1及び第2のリファレンスピットラインの各電位と、読み出し対象である読み出
しメモリセルに接続されたピットラインの電位とを比較することにより、前記読み出しメ
モリセルが有する前記ストレージトランジスタの前記しきい値電圧がハイレベルであるか
ロウレベルであるかを検出するセンスアンプ回路と
をさらに備える、請求項1～4のいずれか一つに記載の半導体記憶装置。

【請求項6】

電源電位とグランド電位との間に、前記電源電位側から順に前記ストレージトランジス
タ、前記アクセストランジスタ、第1のトランジスタ、及び第2のトランジスタが直列に
接続されており、

前記第1及び第2のトランジスタの各ゲートは、前記第1のトランジスタのドレインに
接続されている、請求項5に記載の半導体記憶装置。

【請求項7】

書き込み対象である書き込みメモリセルが有する前記ストレージトランジスタの前記し
きい値電圧をハイレベルに設定する場合には、前記書き込みメモリセルに接続されたピッ
トラインにロウレベルの電位を印加し、前記書き込みメモリセルが有する前記ストレージ
トランジスタの前記しきい値電圧をロウレベルに設定する場合には、前記書き込みメモリ
セルに接続された前記ピットラインにハイレベルの電位を印加する書き込み回路をさらに
備える、請求項1～6のいずれか一つに記載の半導体記憶装置。

【書類名】明細書

【発明の名称】半導体記憶装置

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、2つのトランジスタによってメモリセルが構成された半導体記憶装置に関する。

【背景技術】

【0002】

高密度の半導体記憶装置としては、スタック型やトレンチ型のメモリキャバシタと、スイッチング用のMOSトランジスタとを備えるDRAMが主流であったが、メモリキャバシタのさらなる小型化が困難であるため、DRAMの小型化も限界を迎えるようとしている。このような状況の下、上記のようなスタック型やトレンチ型のメモリキャバシタを用いる代わりに、スイッチングトランジスタをキャバシタ素子としても兼用し、1つのメモリトランジスタのみによってメモリセルを構成するタイプの半導体記憶装置が開発されつつある。例えば、下記非特許文献1には、SOIトランジスタのフローティングボディ領域に電荷を蓄積する半導体記憶装置が開示されている。

【0003】

【非特許文献1】DIGEST OF TECHNICAL PAPERS pp152-153, "9.1 Memory Design Using One-Transistor Gain Cell on SOI", Takashi Ohsawa, Katsuyuki Fujita, Tomoki Higashi, Yoshihisa Iwata, Takeshi Kajiyama, Yoshiaki Asao, Kazumasa Sunouchi, 2002 IEEE International Solid-State Circuits Conference, February 5, 2002 また、上記の非特許文献1と同様に、1つのトランジスタのみでメモリセルが構成されている半導体記憶装置の他の例が、下記特許文献1に開示されている。

【特許文献1】特開2002-260381号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記非特許文献1に開示された半導体記憶装置によると、特殊な構造のポリシリコンピラーを形成する必要があるため、プロセスが複雑になり、製造コストの増大を招くという問題がある。

【0005】

また、上記特許文献1に開示された半導体記憶装置では、ソースドレイン間に高電圧を印加することによってドレイン近傍でインパクトイオン化を起こさせ、それにより生成したホールをボディに蓄積させることで、データ“1”（しきい値電圧が低い状態）の書き込みが実施される。また、ソースに負電圧を印加してボディからホールを排出することによって、データ“0”（しきい値電圧が高い状態）の書き込みが実施される。しかし、インパクトイオン化によるホールの生成には限界があり、データ“1”的状態とデータ“0”的状態とでしきい値電圧の差を大きくすることができないという問題がある。また、読み出しや書き込みの制御には非常に多種の電源電圧が必要であり、しかも、ワードラインやビットラインを制御するために3種の電圧を供給するドライバが必要であるため、読み出し及び書き込みの制御や、必要な電圧の生成が複雑になるという問題もある。さらに、1つのメモリトランジスタのみによってメモリセルを構成した場合には、電源投入時にボディの電位が非常に低い状態に維持されていることがあり、そのような状況ではインパクトイオン化による電流が流れず、データ“1”を書き込むことができないという問題もある。かかる事態を回避するためには、全てのメモリセルを一旦初期化するという余分な手順が必要となり、しかも、初期化のために通常動作よりも高い電源電圧を生成する必要が生じるという問題もある。

【0006】

本発明はかかる問題を解決するために成されたものであり、特殊なプロセスを必要とせずに、汎用されているMOSプロセスによって製造が可能であり、しかも、データ“1”

の状態とデータ“0”の状態とでしきい値電圧を大きく異ならせることにより、安定した動作を実現し得る半導体記憶装置を得ることを目的とする。

【課題を解決するための手段】

【0007】

本発明に係る半導体記憶装置は、行列状に配置された複数のメモリセルと、第1方向に並ぶ前記複数のメモリセルによって共有されるゲートライン及びワードラインと、第2方向に並ぶ前記複数のメモリセルによって共有されるピットライン及びソースラインとを備え、前記複数のメモリセルのそれぞれは、第1のチャネル形成領域を挟んで対向する第1及び第2の不純物拡散領域と、前記第1のチャネル形成領域の上方に形成された第1のゲート電極と、前記第1のチャネル形成領域の下方に形成された電荷蓄積ノードとを含むストレージトランジスタと、前記ストレージトランジスタに直列に接続され、前記第1の不純物拡散領域と、第2のチャネル形成領域を挟んで前記第1の不純物拡散領域に対向する第3の不純物拡散領域と、前記第2のチャネル形成領域の上方に形成された第2のゲート電極とを含むアクセストランジスタとを有し、前記第2の不純物拡散領域は前記ソースラインに、前記第3の不純物拡散領域は前記ピットラインに、前記第1のゲート電極は前記ゲートラインに、前記第2のゲート電極は前記ワードラインに、それぞれ接続され、前記アクセストランジスタのオン／オフによって前記第1の不純物拡散領域の電位を一定電位又はフローティング状態に切り替えることにより、前記電荷蓄積ノードの電位を制御し、それによって前記ストレージトランジスタのしきい値電圧がハイレベル又はロウレベルに設定される。

【発明の効果】

【0008】

本発明に係る半導体記憶装置によれば、特殊なプロセスを必要とせずに製造が可能であり、しかも、安定した動作を実現することが可能である。

【発明を実施するための最良の形態】

【0009】

実施の形態1.

図1は、本発明の実施の形態1に係る半導体記憶装置1の全体構成を示すブロック図である。図1を参照して、半導体記憶装置1は、アドレスデコーダ2、入出力回路3、アドレスバッファ4、クロックバッファ5、制御信号バッファ6、制御回路7、メモリアレイ8、センスアンプ9、及び電源回路10を備えている。

【0010】

図2は、図1に示したメモリアレイ8の一部を抜き出して示す回路図である。図2を参照して、メモリアレイ8には、複数のメモリセルMCが行列状に配置されている。また、メモリアレイ8には、行方向に沿って延在する複数のゲートラインGL及び複数のワードラインWLと、列方向に沿って延在する複数のピットラインBL及び複数のソースラインSLとが配置されている。行方向に並ぶ複数のメモリセルMCによって、ゲートラインGL及びワードラインWLは共有されており、列方向に並ぶ複数のメモリセルMCによって、ピットラインBL及びソースラインSLは共有されている。ゲートラインGL及びワードラインWLと、ピットラインBL及びソースラインSLとの交点に、メモリセルMCが配置されている。

【0011】

図1を参照して、アドレスデコーダ2は、行アドレスデコーダと列アドレスデコーダとを有している。行アドレスデコーダは、アドレスバッファ4から供給される行アドレス信号に基づいて、複数のワードラインWL及び複数のゲートラインGLの中からそれぞれ一つのワードラインWL及びゲートラインGLを選択して駆動する。列アドレスデコーダは、アドレスバッファ4から供給される列アドレス信号に基づいて、複数のピットラインBLの中から一つのピットラインBLを選択して駆動する。

【0012】

センスアンプ9は、メモリアレイ8の各列毎に設けられた複数のセンスアンプ回路を有

している。センスアンプ回路の構成及び動作については後述する。

【0013】

入出力回路3は、データ出力動作においては、列アドレスデコーダによって選択されたセンスアンプ回路の出力を、出力データとして半導体記憶装置1の外部に出力する。また、入出力回路3は、データ入力動作においては、半導体記憶装置1の外部から供給された入力データを増幅した後、列アドレスデコーダによって選択されたピットラインBLを経由して、メモリセルMCに入力データを書き込む。

【0014】

アドレスバッファ4、クロックバッファ5、及び制御信号バッファ6は、半導体記憶装置1の外部から供給されたアドレス信号、クロック信号、及び制御信号を、それぞれ制御回路7に伝達する。

【0015】

電源回路10は、読み出しや書き込み等の半導体記憶装置1の動作に必要な電圧（ワードラインWLやピットラインBLに印加する電圧等）を生成して、メモリアレイ8等に供給する。

【0016】

図3は、メモリセルMCの構造を示す断面図であり、図4は、メモリセルMCの等価回路図である。図4を参照して、メモリセルMCは、ストレージノードSNを有するストレージトランジスタSTRと、アクセストランジスタATRとが、ノードPNを介して直列に接続された構造を有している。つまり、2つのトランジスタで1つのメモリセルMCが構成されている。

【0017】

図3を参照して、SOI基板14は、シリコン基板11、埋め込み酸化膜層12、及びシリコン層13がこの順に積層された構造を有している。ストレージトランジスタSTRは、N型の不純物拡散領域22、24、チャネル形成領域23a、電荷蓄積ノード23b、ゲート酸化膜18、及びゲート電極19を有している。不純物拡散領域22、24は、シリコン層13の上面から埋め込み酸化膜層12の上面に達して形成されており、シリコン層13の上面内に規定されたチャネル形成領域23aを挟んで、互いに対向している。不純物拡散領域22は、図4に示したノードPNに相当する。ゲート酸化膜18はチャネル形成領域23a上に形成されており、ゲート電極19はゲート酸化膜18上に形成されている。図4に示したストレージノードSNに相当する電荷蓄積ノード23bは、チャネル形成領域23aの下方に形成されている。電荷蓄積ノード23bは、素子分離絶縁膜15によって、隣接する他のメモリセルMCから電気的に分離されている。つまり、SOIトランジスタのフローティングボディによって、電荷蓄積ノード23bが構成されている。ゲート電極19はゲートラインGLに接続されており、不純物拡散領域24はソースラインSLに接続されている。

【0018】

ストレージトランジスタSTRは、電荷蓄積ノード23bにホールが蓄積されている状態（ストレージトランジスタSTRのしきい値電圧が低い状態）と、ホールが蓄積されていない状態（しきい値電圧が高い状態）とを作り出すことにより、それぞれデータ“1”及びデータ“0”を記憶する。

【0019】

アクセストランジスタATRは、N型の不純物拡散領域20、22、チャネル形成領域21、ゲート酸化膜16、及びゲート電極17を有している。不純物拡散領域20は、シリコン層13の上面から埋め込み酸化膜層12の上面に達して形成されており、シリコン層13の上面内に規定されたチャネル形成領域21を挟んで、不純物拡散領域22に対向している。ゲート酸化膜16はチャネル形成領域21上に形成されており、ゲート電極17はゲート酸化膜16上に形成されている。ゲート電極17はワードラインWLに接続されており、不純物拡散領域20はピットラインBLに接続されている。

【0020】

図5は、半導体記憶装置1の動作を説明するためのタイミングチャートである。合計で8つの動作モードが存在しており、以下、順に説明する。なお、ソースラインSLには電源電位VDDが供給されている。

【0021】

(1) データ“0”の書き込み動作(0W)

ビットラインBLをロウレベル(GND)に設定した状態で、ワードラインWLをロウレベル(GND)からハイレベル(1/2VDD)に上昇させ、ゲートラインGLをハイレベル(VDD)からロウレベル(GND)に低下させる。これにより、ノードPNがハイレベル(VDD)からロウレベル(GND)に低下するとともに、ゲートカッブリング(ゲートとボディとの間に生じる容量結合)によって、ストレージノードSNがハイレベル(VDD)からロウレベル(GND)に低下する。その結果、ストレージノードSNにホールが蓄積されていない状態(データ“0”)が作り出される。

【0022】

次に、ビットラインBLをロウレベルに維持したまま、ゲートラインGLをロウレベルからハイレベルに上昇させる。このとき、ビットラインBLがロウレベルで、ワードラインWLがハイレベルであるため、アクセストランジスタATrはオンしており、ノードPNはロウレベルに保たれている。従って、ゲートラインGLの電位が若干上昇してストレージトランジスタSTRにチャネルが形成されると、チャネルによってゲートカッブリングが阻止され(チャネルロック)、ゲートラインGLの電位が上昇してもストレージノードSNの電位はそれ以上は上昇しない。つまり、ソースラインSLからストレージトランジスタSTRを介してノードPNに供給されたホールは、アクセストランジスタATrを介してビットラインBLに排出され、ストレージノードSNにホールが蓄積されていない状態(データ“0”)が維持される。

【0023】

その後、ワードラインWLをハイレベルからロウレベルに低下させることにより、アクセストランジスタATrはオフし、ノードPNがロウレベルからハイレベルに上昇する。

【0024】

(2) データ“0”の読み出し動作(0R)

ビットラインBLをロウレベルに設定し、ワードラインWLをハイレベルに設定することで、アクセストランジスタATrをオンさせる。この状態で、ゲートラインGLをハイレベルに設定する。ストレージノードSNにホールが蓄積されていない状態(データ“0”)では、ストレージトランジスタSTRのしきい値電圧が高くなっているため、ソースラインSLからストレージトランジスタSTR及びアクセストランジスタATrを介してビットラインBLに流れる電流の量は少ない。

【0025】

アクセストランジスタATrをオンさせたことによってノードPNの電位は若干低下するが、その後にワードラインWLをロウレベルに低下させてアクセストランジスタATrをオフさせると、ノードPNの電位は再びハイレベルに上昇する。

【0026】

(3) データ“0”の保持動作(0H)

ビットラインBLをロウレベルからハイレベル(1/2VDD)に上昇させる。これにより、ワードラインWLがハイレベルであっても、ビットラインBLとワードラインWLとの間に電位差は生じないため、アクセストランジスタATrはオンしない。従って、ソースラインSLからビットラインBLに電流が流れず、データ“0”が保持される。

【0027】

(4) データ“0”のリフレッシュ動作(0Ref)

リフレッシュ動作の実行には、書き込みや読み出し等の通常のコマンドの2倍の期間を要する。まず、リフレッシュ対象のメモリセルMCに対して上記の読み出し動作を実行し、その結果得られたデータ“0”を、図1に示した入出力回路3が備えるライトバッファに保存する。その後、上記の書き込み動作を実行し、ライトバッファに保存されているデ

ータと同じデータ（つまりデータ“0”）を、リフレッシュ対象のメモリセルMCに書き込む。

【0028】

（5）データ“1”的書き込み動作（1W）

ビットラインBLをロウレベルに設定した状態で、ワードラインWLをロウレベルからハイレベルに上昇させ、ゲートラインGLをハイレベルからロウレベルに低下させる。これにより、ノードPNがハイレベルからロウレベルに低下するとともに、ゲートカップリングによって、ストレージノードSNがハイレベルからロウレベルに低下する。その結果、ストレージノードSNにホールが蓄積されていない状態（データ“0”）が作り出される。ここまで動作は、データ“0”的書き込み動作と同様である。

【0029】

次に、ビットラインBLをロウレベルからハイレベルに上昇させた後、ゲートラインGLをロウレベルからハイレベルに上昇させる。このとき、ビットラインBL及びワードラインWLがいずれもハイレベルであるため、アクセストランジスタATrはオフしており、ノードPNの電位はフローティング状態である。この状態では、ゲートラインGLが上昇してもストレージトランジスタSTRにはチャネルが形成されないため、上記のチャネルロックがされない。従って、ゲートラインGLの電位が上昇すると、ゲートカップリングによってストレージノードSNの電位も上昇する。つまり、ソースラインSLからストレージノードSNに供給されたホールは、ビットラインBLに排出されずにストレージノードSNに蓄積され、データ“1”的状態が作り出される。また、フローティング状態であるノードPNの電位は、ストレージノードSNの電位の上昇に連動して、ロウレベルからハイレベルに上昇する。

【0030】

（6）データ“1”的読み出し動作（1R）

ビットラインBLをロウレベルに設定し、ワードラインWLをハイレベルに設定することで、アクセストランジスタATrをオンさせる。この状態で、ゲートラインGLをハイレベルに設定する。ストレージノードSNにホールが蓄積されている状態（データ“1”）では、ストレージトランジスタSTRのしきい値電圧が低くなっているため、ソースラインSLからストレージトランジスタSTR及びアクセストランジスタATrを介してビットラインBLに流れる電流の量が多い。

【0031】

（7）データ“1”的保持動作（1H）

データ“0”的保持動作と同様に、ビットラインBLをロウレベルからハイレベルに上昇させる。これにより、ワードラインWLがハイレベルであっても、ビットラインBLとワードラインWLとの間に電位差は生じないため、アクセストランジスタATrはオンしない。従って、ソースラインSLからビットラインBLに電流が流れず、データ“1”が保持される。

【0032】

（8）データ“1”的リフレッシュ動作（1Ref）

データ“0”的リフレッシュ動作と同様に、まず、リフレッシュ対象のメモリセルMCに対して上記の読み出し動作を実行し、その結果得られたデータ“1”を、図1に示した入出力回路3が備えるライトバッファに保存する。その後、上記の書き込み動作を実行し、ライトバッファに保存されているデータと同じデータ（つまりデータ“1”）を、リフレッシュ対象のメモリセルMCに書き込む。

【0033】

図6、7は、書き込み動作において、ゲートラインGLをロウレベル（0V）からハイレベル（1.2V）に上昇させた時のストレージノードSNの電位の変化をシミュレーションした結果を示す図である。図6がデータ“0”的書き込み動作に対応し、図7がデータ“1”的書き込み動作に対応する。横軸のX（ μ m）に関し、Xがゼロの付近はストレージトランジスタSTRのボディ領域（図3に示した電荷蓄積ノード23b、即ちストレ

ージノードSN)に相当し、Xが負の領域はストレージトランジスタSTRのソース領域(図3に示した不純物拡散領域22、即ちノードPN)に相当し、Xが正の領域はストレージトランジスタSTRのドレイン領域(図3に示した不純物拡散領域24)に相当する。なお、ストレージトランジスタSTRのチャネル長は0.1μmである。縦軸のPotential(V)は、各領域の最深部付近の電位である。

【0034】

図6を参照して、データ“0”的書き込み動作においては、アクセストランジスタATrがオンされる結果、ストレージトランジスタSTRのソース領域の電位は0Vに固定される。但し、ビルトインポテンシャルが加味されるため、図6ではなく0.53Vに固定されている。この場合、ゲートラインGLをロウレベル(0V)からハイレベル(1.2V)に上昇させても、ストレージトランジスタSTRのボディ領域の電位は、0Vから0.2V程度までしか上昇していないことが分かる。

【0035】

一方、図7を参照して、データ“1”的書き込み動作においては、アクセストランジスタATrがオフされる結果、ストレージトランジスタSTRのソース領域の電位はフローティング状態である。この場合、ゲートラインGLをロウレベル(0V)からハイレベル(1.2V)に上昇させると、ストレージトランジスタSTRのボディ領域の電位は、0Vから0.7V程度まで大きく上昇していることが分かる。また、ボディ領域の電位の上昇に連動して、ストレージトランジスタSTRのソース領域の電位も、0.4Vから1.2V近くまで上昇していることが分かる。

【0036】

図8は、図1に示したセンスアンプ9が備えるセンスアンプ回路の構成を示す回路図である。図1に示したメモリアレイ8には、ストレージトランジスタSTR及びアクセストランジスタATrを有する通常のメモリセルMCのほかに、メモリセルMCH、MCLが設けられている。メモリセルMCHは、書き込み動作時に必ずデータ“1”が書き込まれることによってしきい値電圧がロウレベルに設定されたストレージトランジスタSTRHと、これに直列に接続されたアクセストランジスタATrとを有している。メモリセルMCLは、書き込み動作時に必ずデータ“0”が書き込まれることによってしきい値電圧がハイレベルに設定されたストレージトランジスタSTRLと、これに直列に接続されたアクセストランジスタATrとを有している。メモリセルMCHはリファレンスピットラインRBLHに接続されており、メモリセルMCLはリファレンスピットラインRBLLに接続されている。

【0037】

メモリセルMC、MCH、MCLは、いずれも正の電源電位VDD(例えば1.2V)に接続されている。また、メモリセルMC、MCH、MCLは、いずれもトランジスタTr1、Tr2を介して、負の電源電位VBB(-VDD、例えば-1.2V)に接続されている。例えば、電源電位VDDと電源電位VBBとの間ににおいて、電源電位VDD側から順にストレージトランジスタSTR、アクセストランジスタATr、トランジスタTr1、及びトランジスタTr2が直列に接続されている。トランジスタTr1は、ドレインとゲートとが互いに接続されており、いわゆるしきい値接続を構成している。トランジスタTr2についても同様である。トランジスタTr1、Tr2は、ピットラインBL及びリファレンスピットラインRBLH、RBLLの各読み出し電圧を、いずれも0V付近に設定することを目的として配設されている。

【0038】

また、メモリセル回路は、2対のパラレル入力を有する差動増幅回路を備えており、一方のパラレル入力には、リファレンスピットラインRBLHの電位Vb1h及びリファレンスピットラインRBLLの電位Vb1lが入力され、他方のパラレル入力には、ピットラインBLの電位Vb1が入力される。ストレージトランジスタSTRHはしきい値電圧が低く、ストレージトランジスタSTRLはしきい値電圧が高いため、相対的に、Vb1h > Vb1lとなる。また、メモリセルMCがデータ“0”を記憶している場合、即ちス

トランジスタSTRのしきい値電圧がハイレベルである場合は、 $V_{b1} = V_{b1}$ 1となり、逆に、メモリセルMCがデータ“1”を記憶している場合、即ちストレージトランジスタSTRのしきい値電圧がロウレベルである場合は、 $V_{b1} = V_{b1h}$ となる。差動增幅回路では V_{b1h} 、 V_{b1l} と V_{b1} とが比較されて、 $V_{b1} = V_{b1l}$ である場合は差動增幅回路からハイレベルの信号が出力され、 $V_{b1} = V_{b1h}$ である場合は差動增幅回路からロウレベルの信号が出力される。つまり、ストレージトランジスタSTRのしきい値電圧がハイレベルである場合には、差動增幅回路からハイレベルの信号が出力され、一方、ストレージトランジスタSTRのしきい値電圧がロウレベルである場合には、差動增幅回路からロウレベルの信号が出力される。

【0039】

このような構成によって、メモリセルMCに記憶されているデータを、センスアンプ回路によって誤りなく検出することができる。

【0040】

図9は、データ書き込み動作におけるビットラインBLへの電圧印加回路（書き込み回路）の構成を示す回路図である。図5に示したように、データ“0”を書き込む場合にはビットラインBLはロウレベルに設定し、データ“1”を書き込む場合にはビットラインBLはハイレベルに設定する必要がある。図9を参照して、書き込み許可信号WEがハイレベルの場合において、書き込みデータWDが“0”的ときはビットラインBLにGND(0V)が印加され、書き込みデータWDが“1”的ときはビットラインBLにVBL(0.6V)が印加される。また、データ読み出し動作においては、書き込み許可信号WEがロウレベルとなる結果、電圧印加回路の出力はハイインピーダンス状態となる。

【0041】

このような構成により、電圧印加回路は、書き込みデータWDに応じてビットラインBLの電位を確実に異ならせることができ、誤ったデータがメモリセルMCに書き込まれることを防止することができる。

【0042】

図10は、図8に示した負の電源電位VBB（例えば-1.2V）を生成するための内部電源発生回路の構成を示すブロック図である。図10に示す内部電源発生回路は、図1に示した電源回路10の一部である。検出器80は、-1.2Vの基準電圧と、チャージポンプ82の出力電圧(VBB)とを比較し、検出器80の検出結果に基づいて、リングオシレータ81がパルスを発生してチャージポンプ82を制御する。

【0043】

図11は、図5に示したワードラインWL及びビットラインBLの各ハイレベル(1/2VDD)を生成するための内部電源発生回路（降圧回路）の構成を示す回路図である。図11に示す内部電源発生回路は、図1に示した電源回路10の一部である。電源電位VDDをトランジスタ90、91で分圧することによって得られた1/2VDDが、基準電圧として誤差増幅器92に入力される。誤差増幅器92の出力には、PMOSトランジスタから成るドライバトランジスタ93が接続されており、ドライバトランジスタ93から1/2VDDが出力されるとともに、この1/2VDDは誤差増幅器92に負帰還されている。

【0044】

このように本実施の形態1に係る半導体記憶装置1によれば、ストレージトランジスタSTRとアクセストランジスタATRとによってメモリセルMCを構成することができるため、従来のDRAMで必要であったメモリキャバシタが不要となる。しかも、ストレージトランジスタSTR及びアクセストランジスタATRのディメンジョン（レイアウトサイズや形状）は、通常のNMOSトランジスタのディメンジョンと同様であり、特殊な構造を必要としない。従って、製造工程数及びフォトマスクの必要枚数を削減でき、製造コストの低減及びチップ面積の削減を図ることが可能となる。

【0045】

また、特殊なプロセスを必要とせずに、汎用されているMOSプロセスによって半導体

記憶装置1を製造できるため、上記非特許文献1に開示されている半導体記憶装置と比較して、製造プロセスの簡略化及び製造コストの低減を図ることができる。

【0046】

さらに、データ“1”を記憶している状態とデータ“0”を記憶している状態とで、ストレージトランジスタSTRのしきい値電圧を大きく異ならせることができるため、上記特許文献1に開示された半導体記憶装置と比較して、安定した動作を実現することが可能となる。

【0047】

また、ストレージトランジスタSTR及びアクセストランジスタATRがSOIトランジスタによって構成されており、寄生容量が小さいため、バルク基板を用いる場合と比較すると、動作の高速化及び消費電力の低減を図ることができる。さらに、ストレージノードSNがアクセストランジスタATR等と電気的に分離されているため、ノイズに対する耐性が高い。加えて、ストレージノードSNは周囲の大半が素子分離絶縁膜15によって囲まれていることから、ゲートカップリングによる効果が大きく、データ“1”の状態とデータ“0”の状態とでストレージトランジスタSTRのしきい値電圧の差を大きくできるという効果も得られる。

【0048】

実施の形態2.

図12は、図8に対応させて、センスアンプ9が備えるセンスアンプ回路の構成を示す回路図である。本実施の形態2に係る半導体記憶装置1の全体構成及びメモリセルMCの構成は、上記実施の形態1と同様である。図12を参照して、電源電位VDDとグランド電位GNDとの間には、電源電位VDD側から順にストレージトランジスタSTR、アクセストランジスタATR、トランジスタTr1、及びトランジスタTr2が直列に接続されている。ストレージトランジスタSTRH、STRLについても同様である。トランジスタTr1、Tr2の各ゲートは、トランジスタTr1のドレインに共通に接続されており、いわゆるしきい値接続を構成している。

【0049】

図13は、図9に対応させて、ビットラインBLへの電圧印加回路の構成を示す回路図である。図9のVBL(0.6V)に代えて、VDD(1.2V)が採用されている点が、上記実施の形態1と異なる。

【0050】

図14は、図5に対応させて、半導体記憶装置1の動作を説明するためのタイミングチャートである。図5ではワードラインWL及びビットラインBLの各ハイレベルが1/2VDDであったのに対し、図14ではVDDである点が、上記実施の形態1と異なる。

【0051】

このように本実施の形態2に係る半導体記憶装置1によれば、負の電源電位VBB(-1.2V)の使用を回避できるため、図10に示した内部電圧発生回路が不要となる。また、これに伴い、ワードラインWL及びビットラインBLの各ハイレベルが1/2VDDではなくVDDとなるため、図11に示した内部電圧発生回路も不要となる。従って、上記実施の形態1と比較して、製造コストの低減及びチップ面積の削減を図ることが可能となる。

【0052】

また、図8に示した構成ではトランジスタTr1、Tr2ごとにゲートードレイン間の配線接続が必要となるが、図12に示した構成ではその必要がないため、メモリセルトランジスタ(ストレージトランジスタSTR及びアクセストランジスタATR)と同様の形状のトランジスタによって、トランジスタTr1、Tr2を構成することができる。従って、プロセスのはらつきに起因するメモリセルトランジスタとトランジスタTr1、Tr2との特性のはらつきを抑制できるため、より安定した読み出し動作を実現することが可能となる。

【0053】

実施の形態3.

図15は、図3に対応させて、メモリセルMCの構造を示す断面図である。本実施の形態3に係る半導体記憶装置1の全体構成は、上記実施の形態1, 2と同様である。上記実施の形態1ではSOI基板14を用いてストレージトランジスタSTR及びアクセストランジスタATRが形成されたが、本実施の形態3ではバルク基板を用いて構成されている点が、上記実施の形態1と異なる。

【0054】

図15を参照して、P型シリコン基板50上にはNウェル51が形成されており、Nウェル51上にはPウェル52が形成されている。Pウェル52は、Nウェル51によって、P型シリコン基板50と電気的に分離されている。隣接するメモリセルMC同士は、Pウェル52の上面からNウェル51の上面にまで到達するSTI(Shallow Trench Isolation)53によって、互いに電気的に分離されている。このため、STI53の分離幅を大きくする必要がなく、チップ面積の増大が回避されている。

【0055】

ストレージトランジスタSTRは、N型の不純物拡散領域60, 62、チャネル形成領域61a、電荷蓄積ノード61b、ゲート酸化膜56、及びゲート電極57を有している。不純物拡散領域60, 62は、Pウェル52の上面内に規定されたチャネル形成領域61aを挟んで、互いに対向している。ゲート酸化膜56はチャネル形成領域61a上に形成されており、ゲート電極57はゲート酸化膜56上に形成されている。電荷蓄積ノード61bは、チャネル形成領域61aの下方に形成されている。電荷蓄積ノード61bは、STI53によって、隣接する他のメモリセルMCから電気的に分離されている。ゲート電極57はゲートラインGLに接続されており、不純物拡散領域62はソースラインSLに接続されている。

【0056】

アクセストランジスタATRは、N型の不純物拡散領域58, 60、チャネル形成領域59、ゲート酸化膜54、及びゲート電極55を有している。不純物拡散領域58は、Pウェル52の上面内に規定されたチャネル形成領域59を挟んで、不純物拡散領域60に對向している。ゲート酸化膜54はチャネル形成領域59上に形成されており、ゲート電極55はゲート酸化膜54上に形成されている。ゲート電極55はワードラインWLに接続されており、不純物拡散領域58はピットラインBLに接続されている。

【0057】

なお、各部の導電型を逆にすることにより、N型シリコン基板を用いて、ストレージトランジスタSTR及びアクセストランジスタATRをPMOSトランジスタによって構成することもできる。

【0058】

このように本実施の形態3に係る半導体記憶装置1によれば、SOI基板ではなくバルク基板を用いてストレージトランジスタSTR及びアクセストランジスタATRが形成されている。従って、一般的にバルク基板よりも高価なSOI基板を用いる場合と比較すると、コストの低減を図ることができる。

【図面の簡単な説明】

【0059】

【図1】本発明の実施の形態1に係る半導体記憶装置1の全体構成を示すブロック図である。

【図2】図1に示したメモリアレイの一部を抜き出して示す回路図である。

【図3】メモリセルの構造を示す断面図である。

【図4】メモリセルの等価回路図である。

【図5】半導体記憶装置の動作を説明するためのタイミングチャートである。

【図6】ゲートラインをロウレベルからハイレベルに上昇させた時のストレージノードの電位の変化をシミュレーションした結果を示す図である。

【図7】ゲートラインをロウレベルからハイレベルに上昇させた時のストレージノードの電位の変化をシミュレーションした結果を示す図である。

ドの電位の変化をシミュレーションした結果を示す図である。

【図8】図1に示したセシスアンプが備えるセンスアンプ回路の構成を示す回路図である。

【図9】データ書き込み動作におけるビットラインへの電圧印加回路の構成を示す回路図である。

【図10】図8に示した負の電源電位を生成するための内部電源発生回路の構成を示すブロック図である。

【図11】図5に示したワードライン及びビットラインの各ハイレベルを生成するための内部電源発生回路の構成を示す回路図である。

【図12】図8に対応させて、センスアンプが備えるセンスアンプ回路の構成を示す回路図である。

【図13】図9に対応させて、ビットラインへの電圧印加回路の構成を示す回路図である。

【図14】図5に対応させて、半導体記憶装置の動作を説明するためのタイミングチャートである。

【図15】図3に対応させて、メモリセルの構造を示す断面図である。

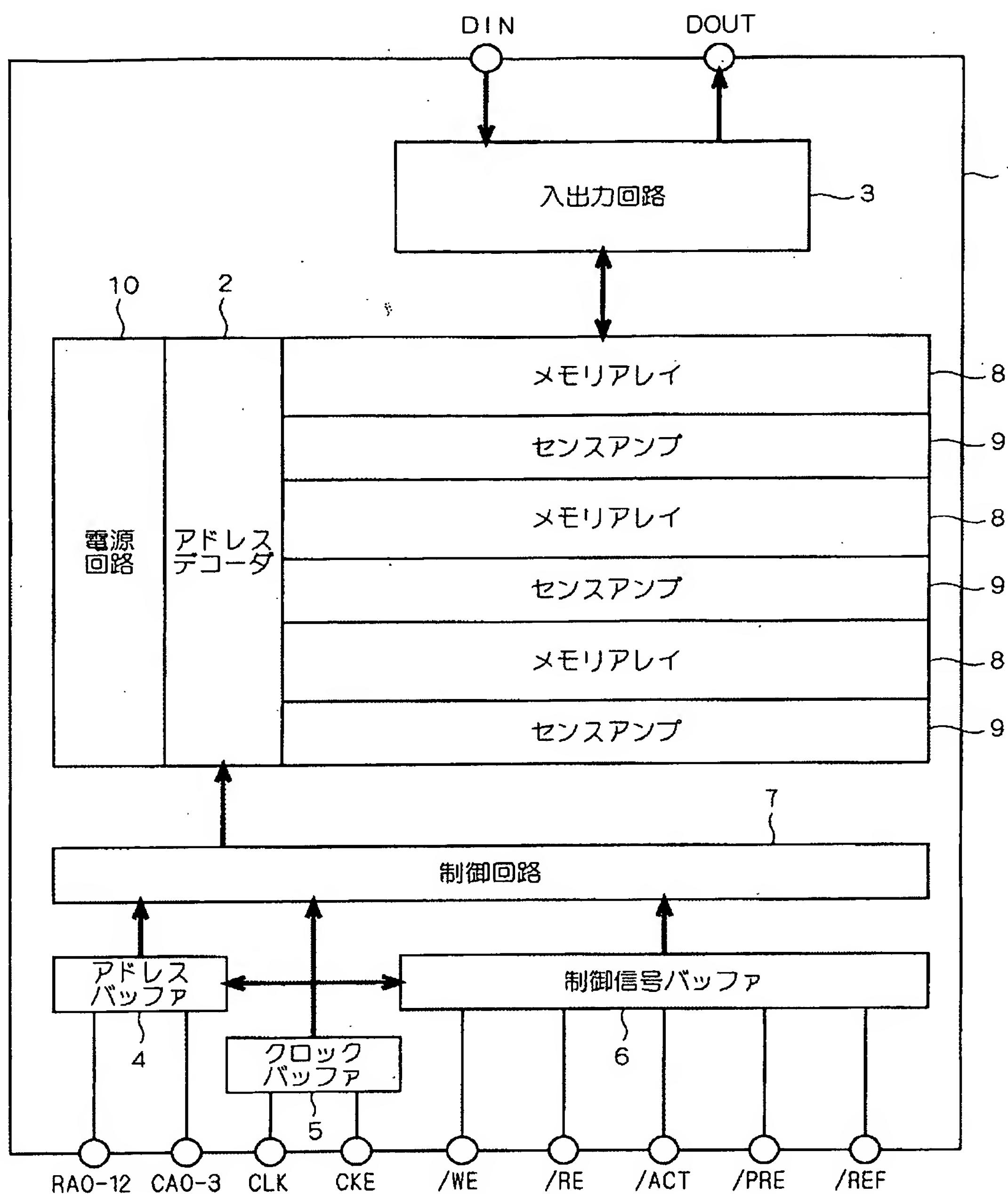
【符号の説明】

【0060】

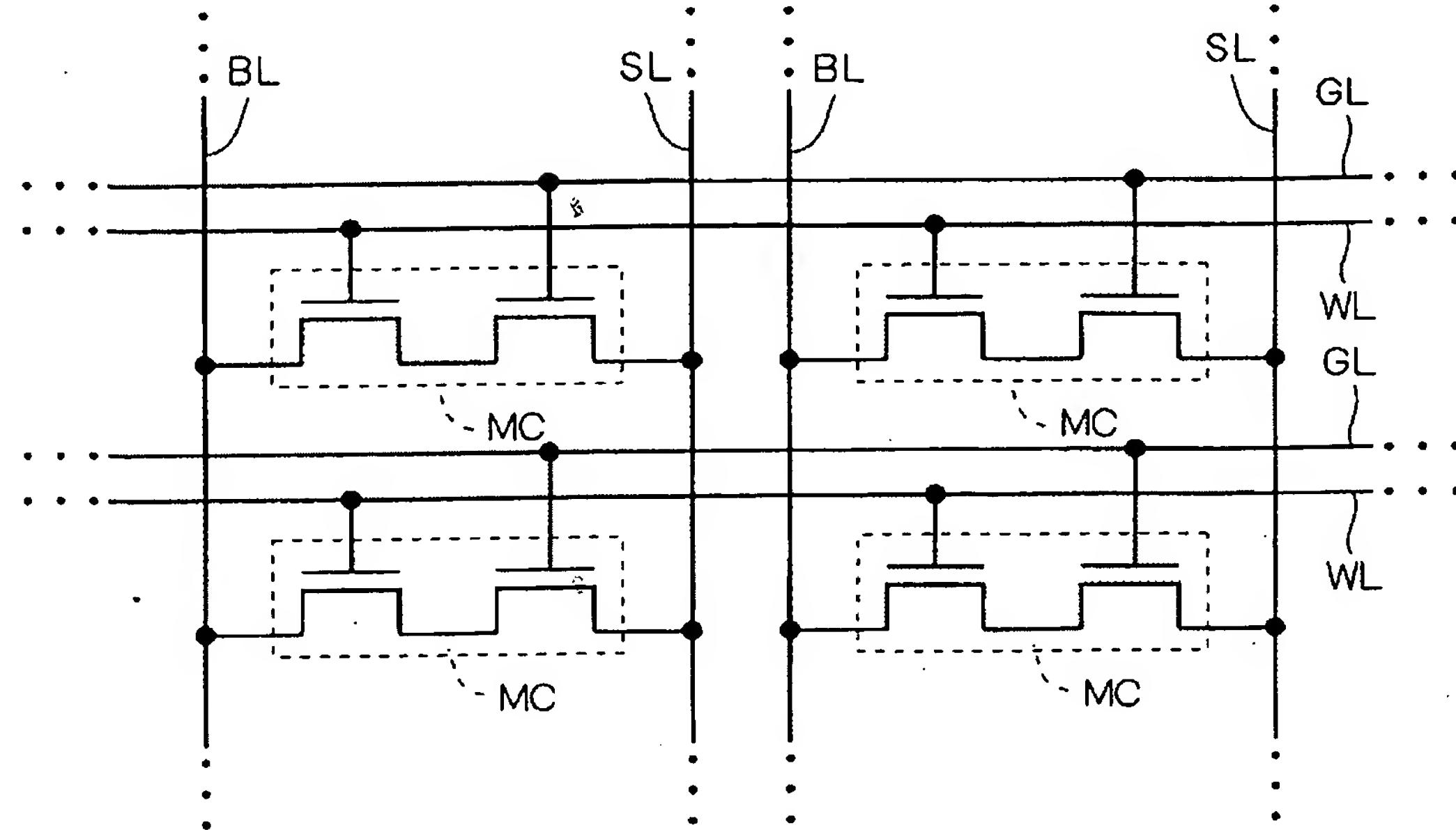
1 半導体記憶装置、8 メモリアレイ、9 センスアンプ、11 シリコン基板、12 埋め込み酸化膜層、13 シリコン層、14 SOI基板、20, 22, 24, 58, 60, 62 不純物拡散領域、16, 18, 54, 56 ゲート酸化膜、17, 19, 55, 57 ゲート電極、21, 23a, 59, 61a チャネル形成領域、23b, 61b 電荷蓄積ノード、50 P型シリコン基板、51 Nウェル、52 Pウェル、S Tr ストレージトランジスタ、A Tr アクセストランジスタ、SN ストレージノード、MC, MCH, MCL メモリセル、BL ビットライン、RBLH, RBLL リファレンスピットライン、SL ソースライン、GL ゲートライン、WL ワードライン、Tr1, Tr2 トランジスタ。

【書類名】 図面

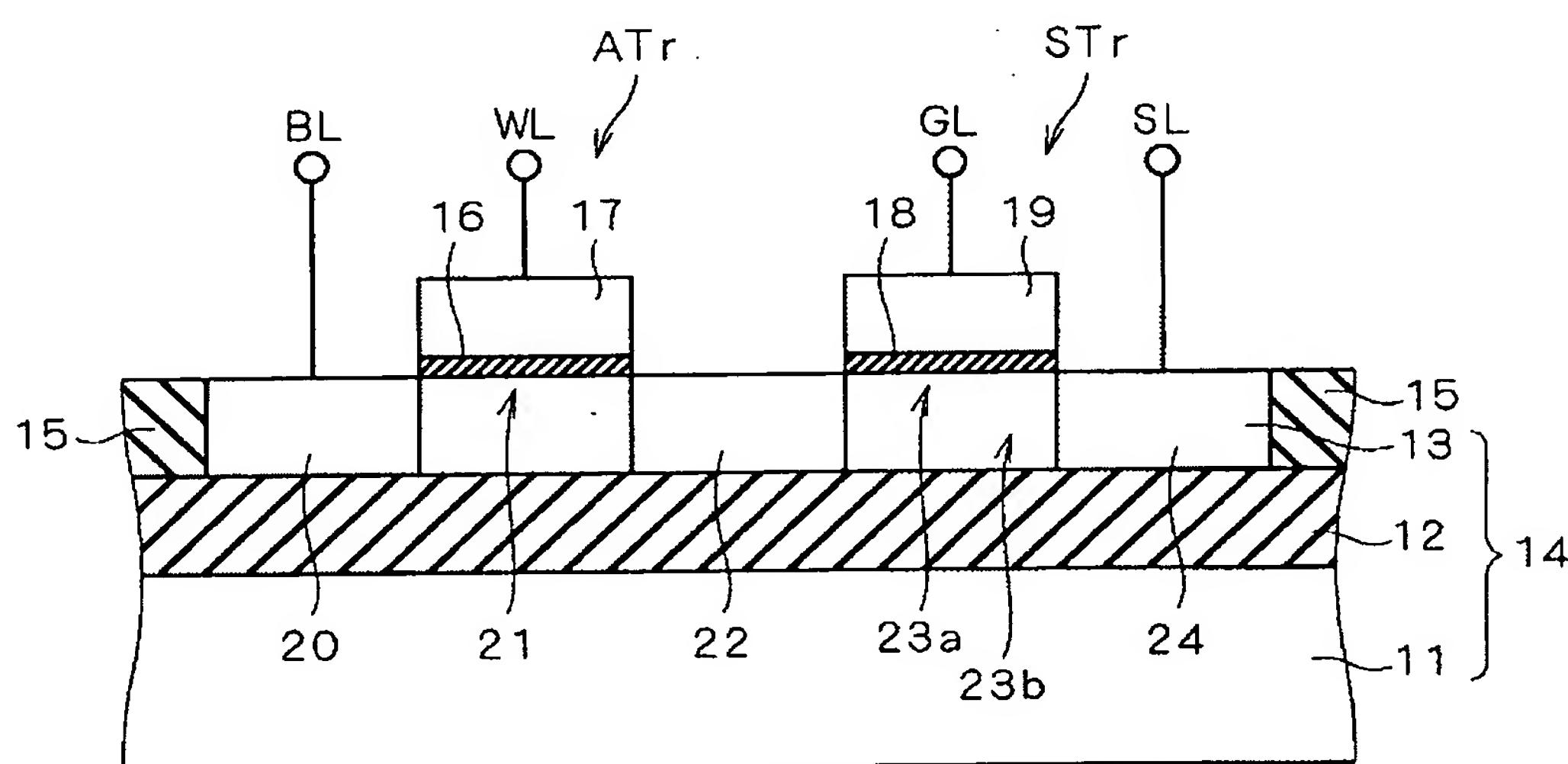
【図 1】



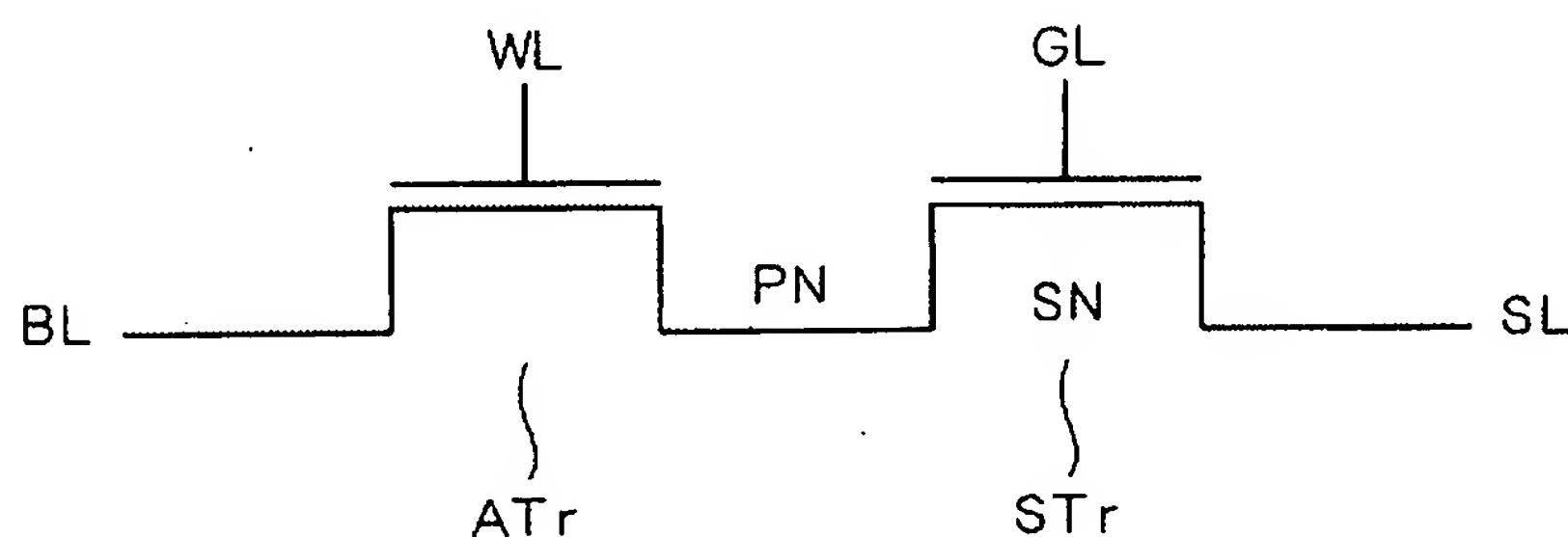
【図 2】



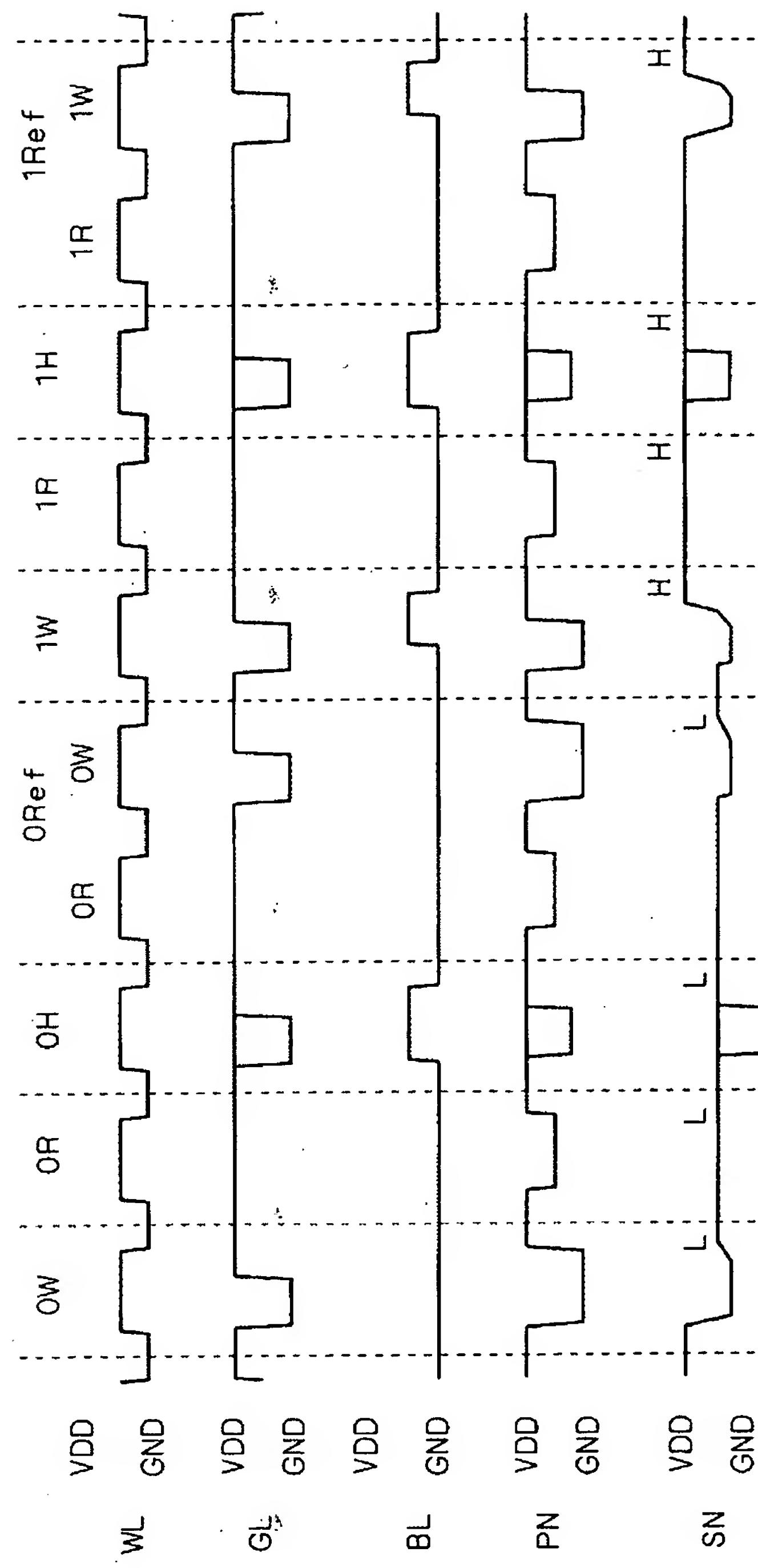
【図 3】



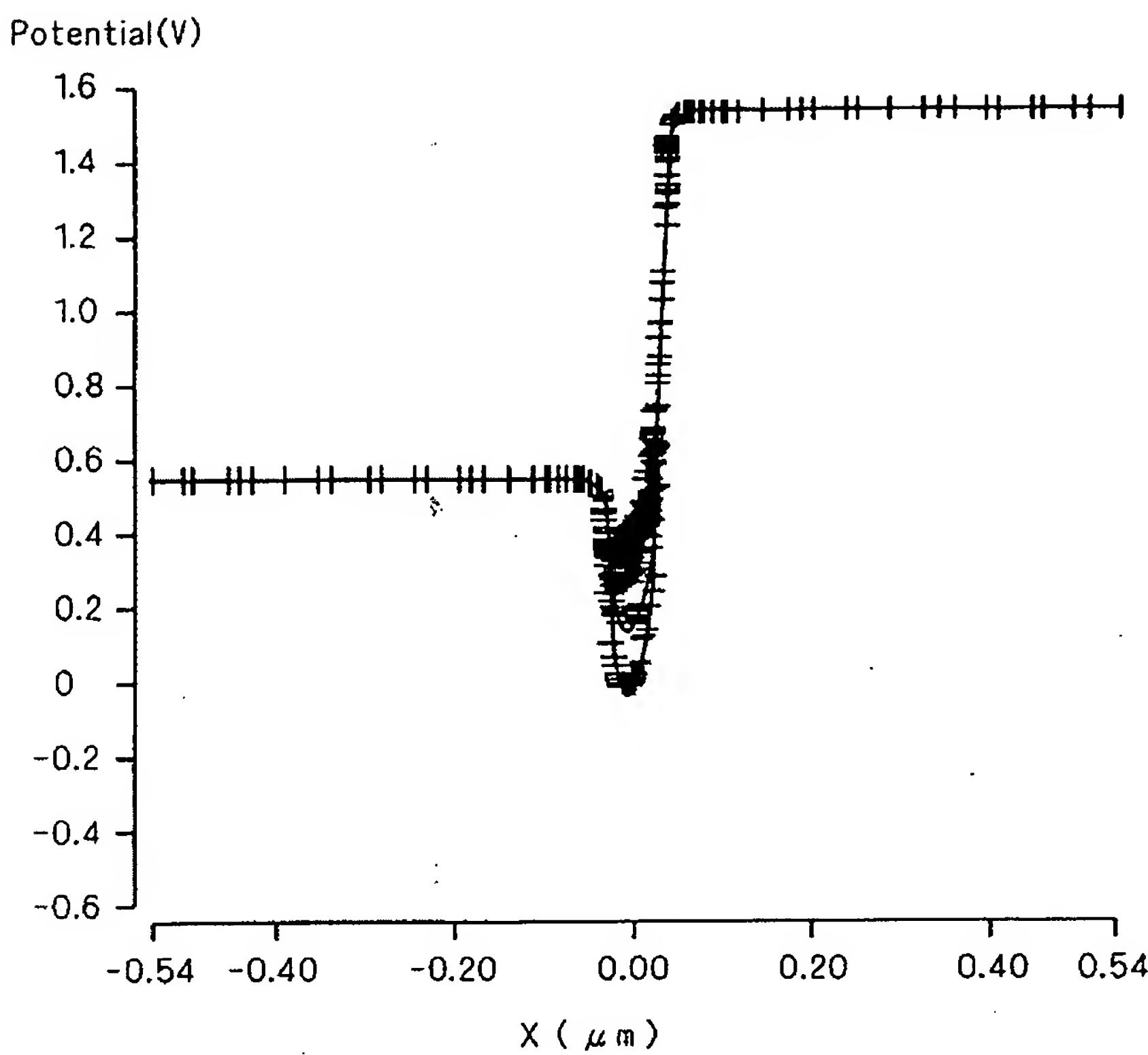
【図 4】



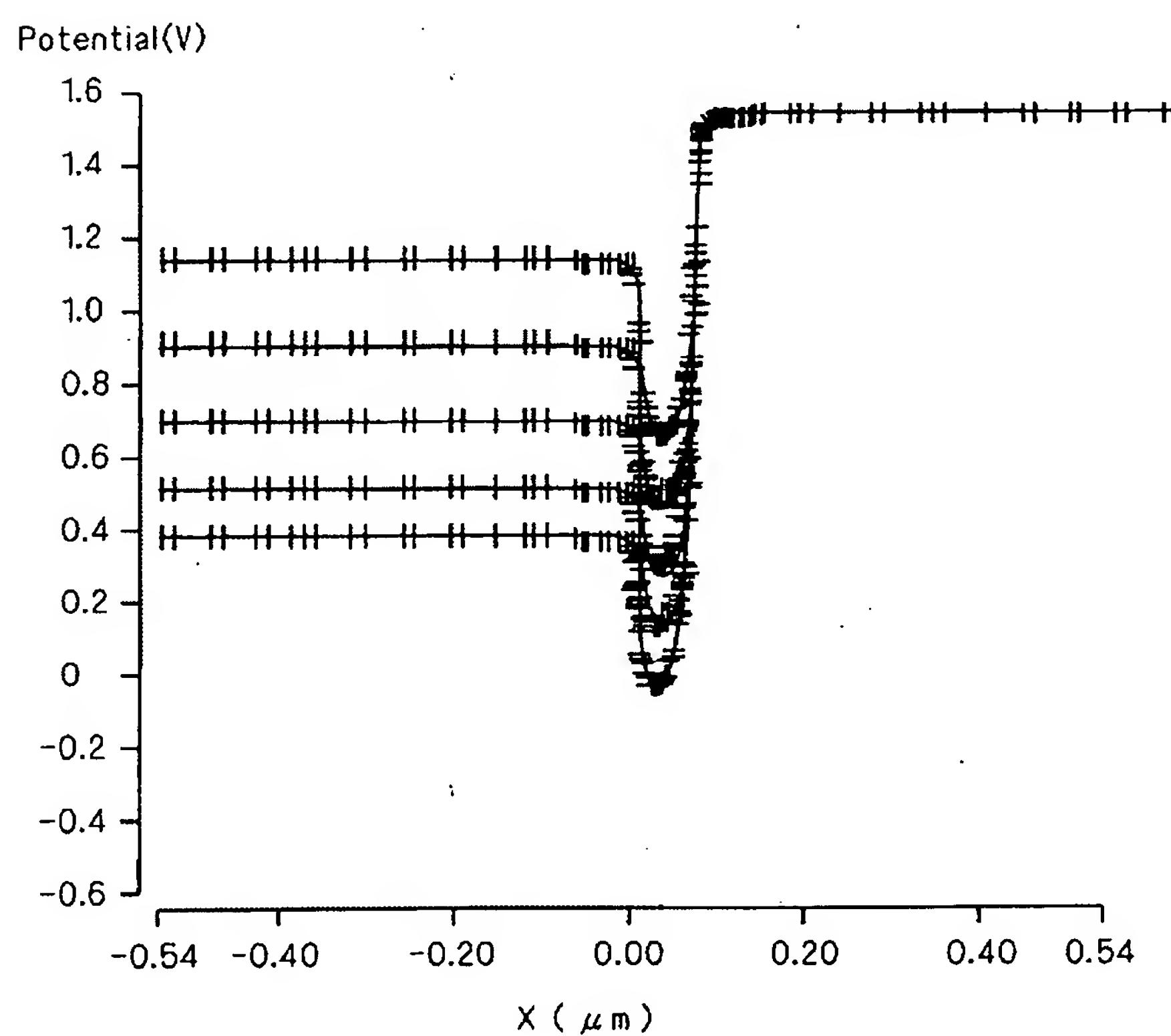
【図 5】



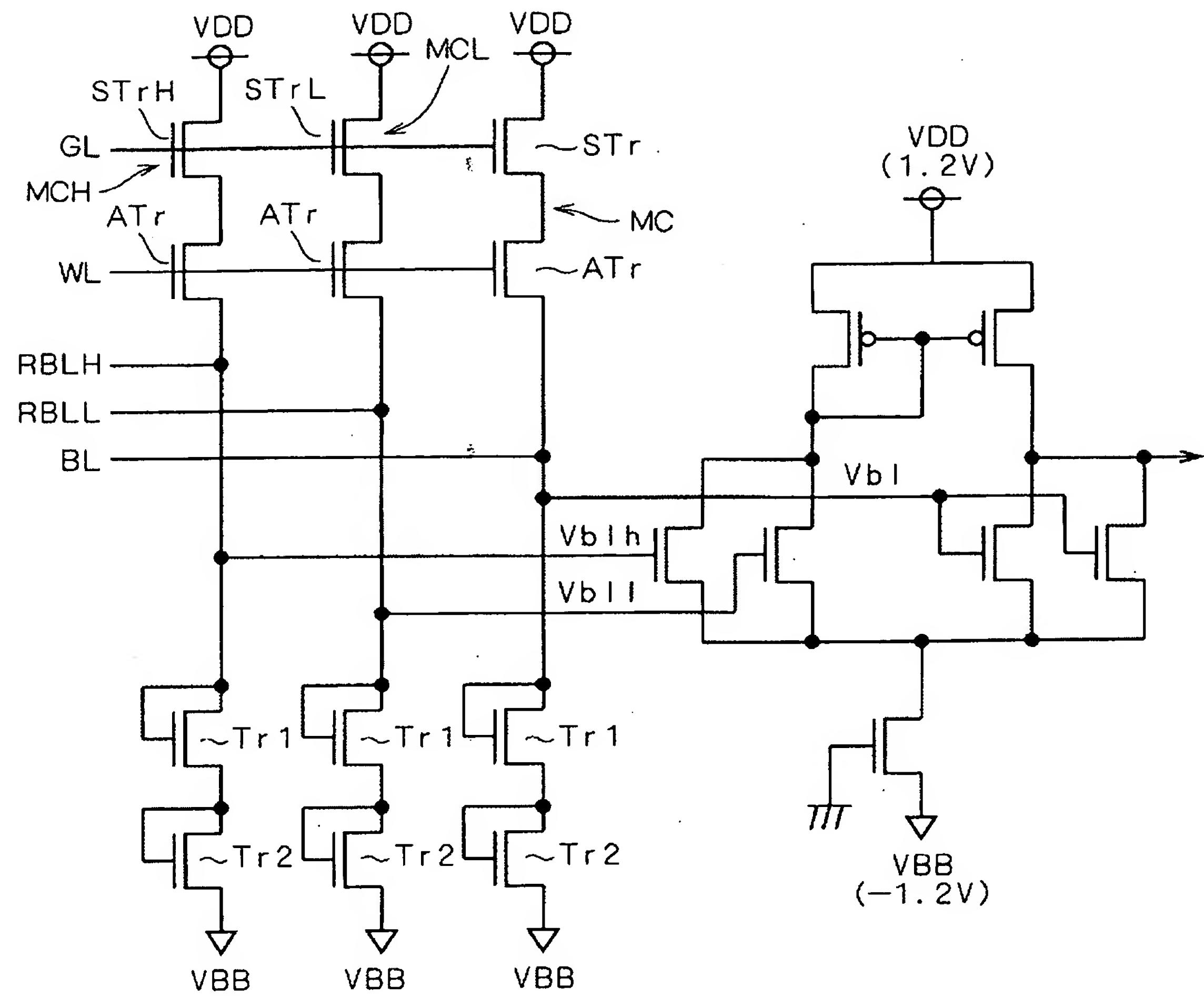
【図 6】



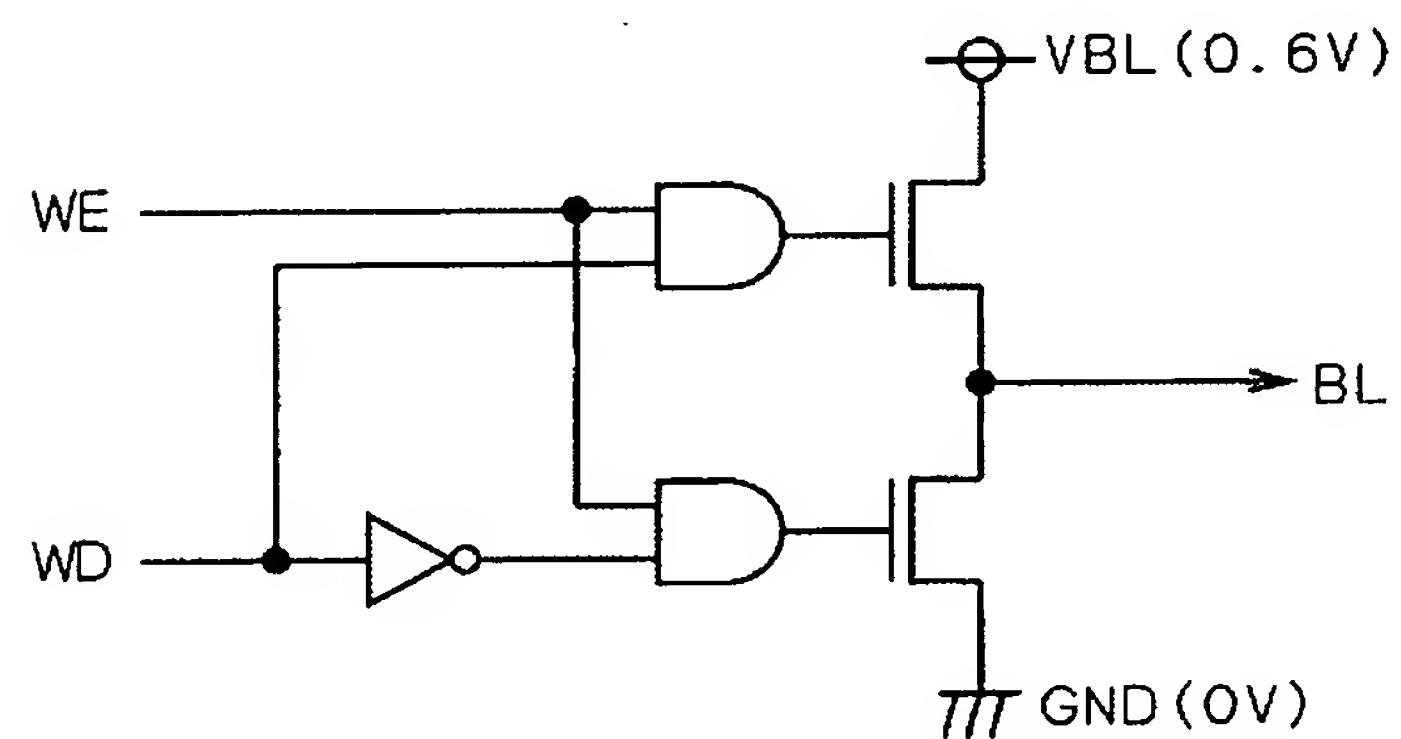
【図 7】



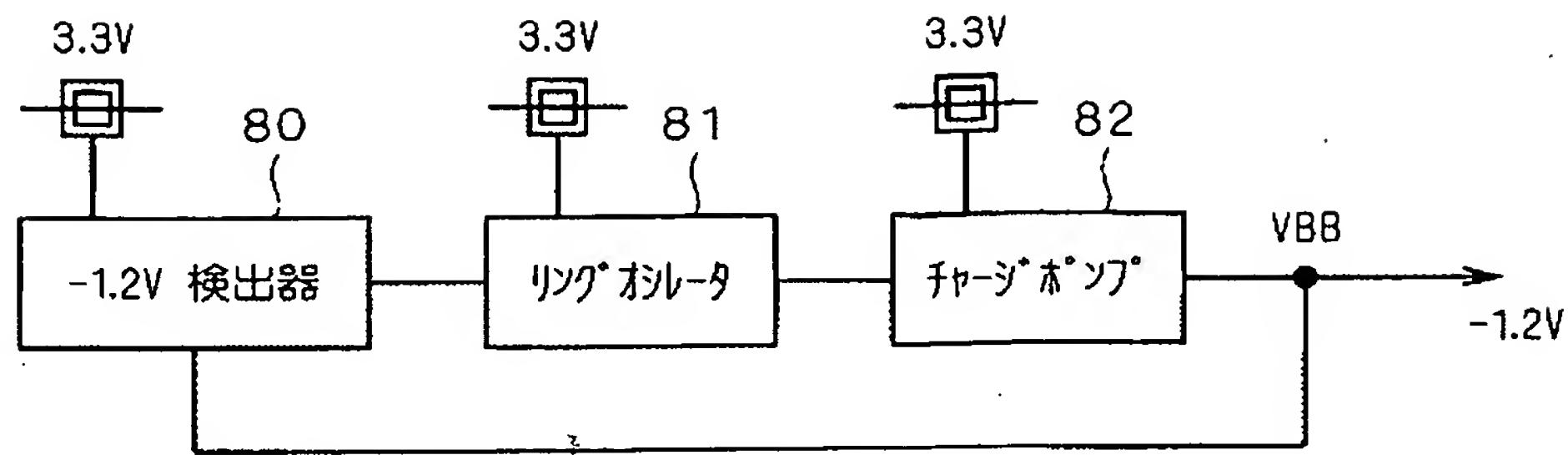
【図 8】



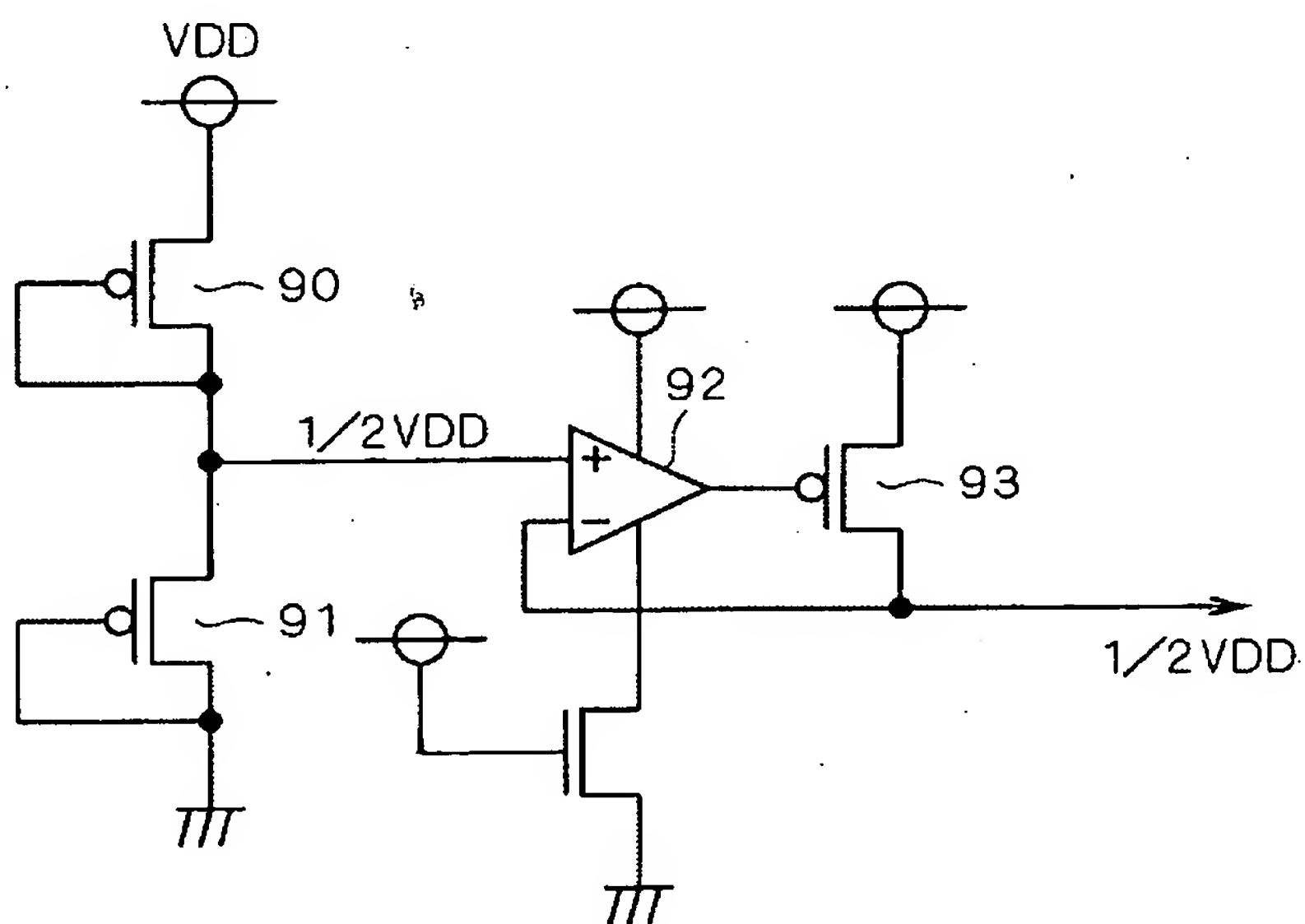
【図 9】



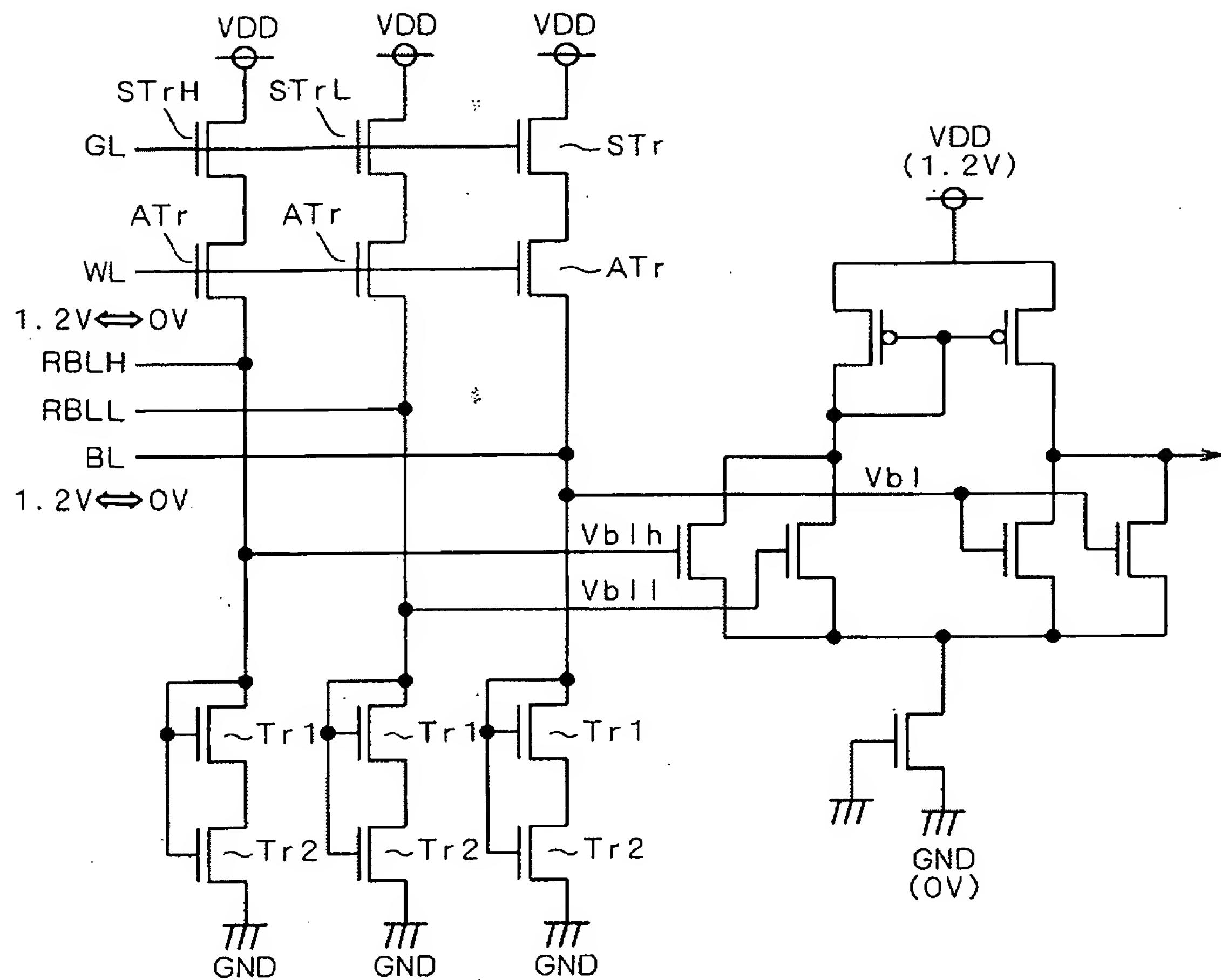
【図 1 0】



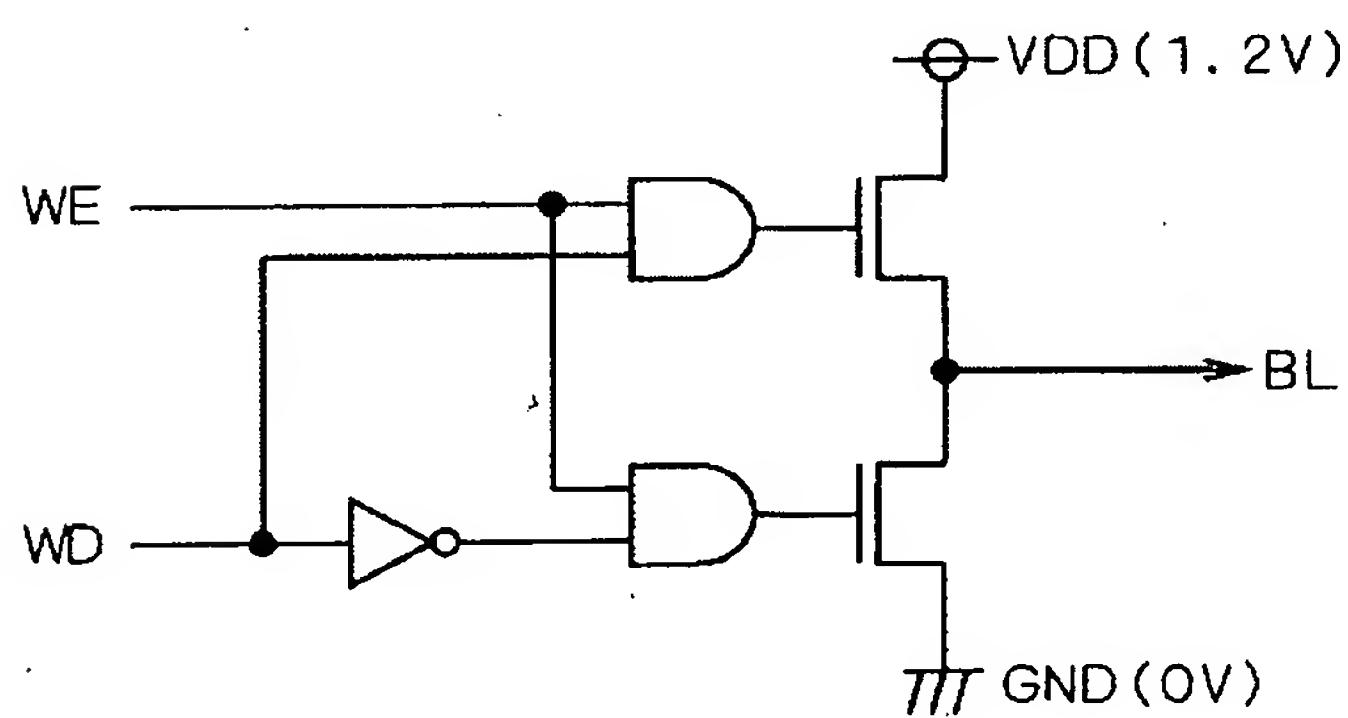
【図 1 1】



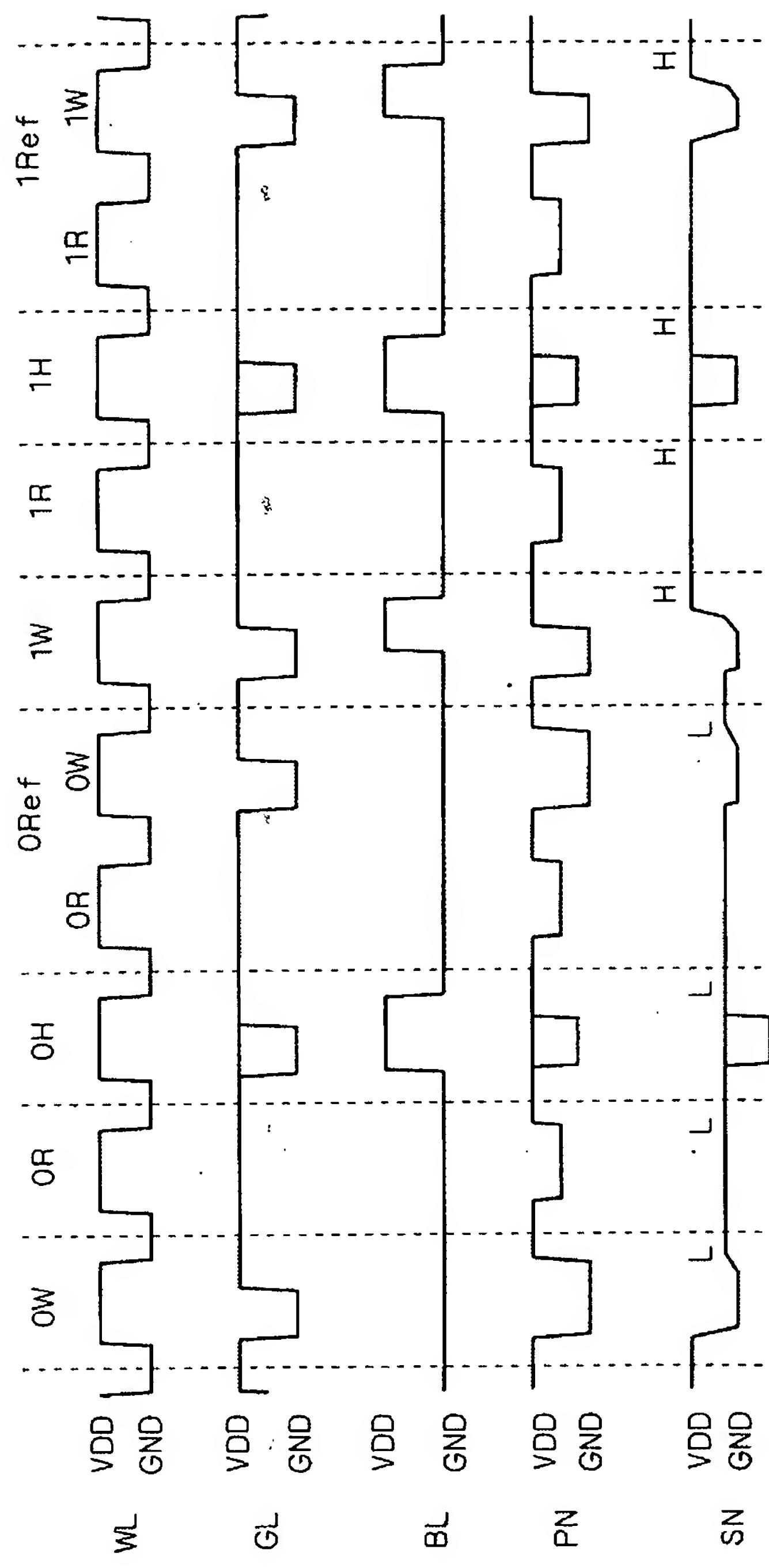
【図 1.2】



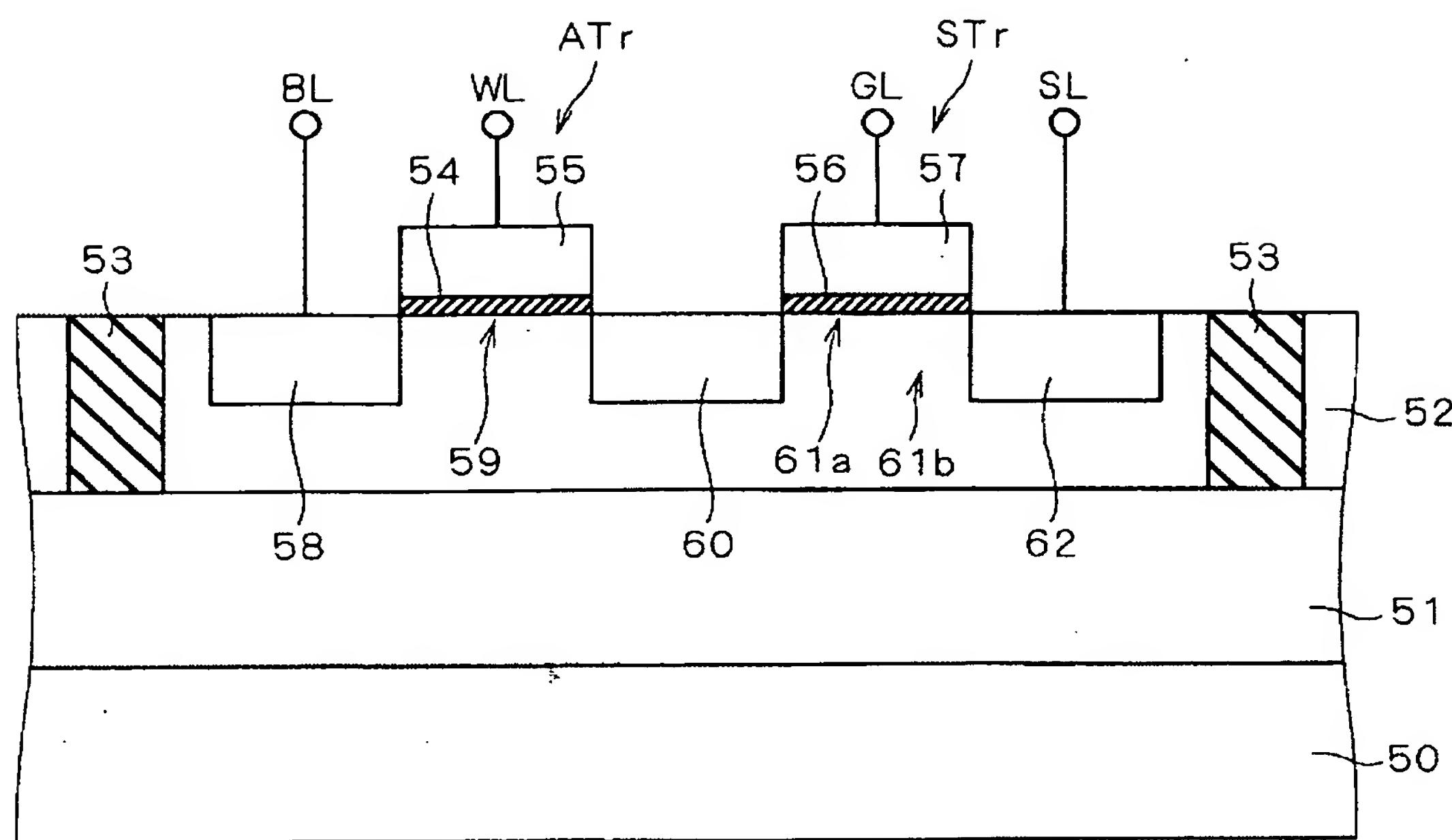
【図 1.3】



【図 1.4】



【図15】



【書類名】要約書

【要約】

【課題】MOSプロセスによって製造可能であり、しかも安定動作を実現し得る半導体記憶装置を得る。

【解決手段】ストレージトランジスタSTrは、不純物拡散領域22、24、チャネル形成領域23a、電荷蓄積ノード23b、ゲート酸化膜18、ゲート電極19を有している。ゲート電極19はゲートラインGLに、不純物拡散領域24はソースラインSLに、それぞれ接続されている。ストレージトランジスタSTrは、電荷蓄積ノード23bにホールが蓄積されている状態と、ホールが蓄積されていない状態とを作り出すことにより、それぞれデータ“1”及びデータ“0”を記憶する。アクセストランジスタATrは、不純物拡散領域20、22、チャネル形成領域21、ゲート酸化膜16、ゲート電極17を有している。ゲート電極17はワードラインWLに、不純物拡散領域20はピットラインBLに、それぞれ接続されている。

【選択図】図3

出願人履歴

503121103

20030401

新規登録

503192767

東京都千代田区丸の内二丁目4番1号

株式会社ルネサステクノロジ